

Family list

1 family member for: **JP8179376**

Derived from 1 application

1 COLOR DISPLAY DEVICE

Inventor: KADOTA HISASHI; NAKAMURA SHINJI; **Applicant:** SONY CORP

(+3)

EC:

IPC: G02F1/1335; G02F1/136; G02F1/1368 (+

Publication info: JP8179376 A - 1996-07-12

Data supplied from the *esp@cenet* database - Worldwide

COLOR DISPLAY DEVICE

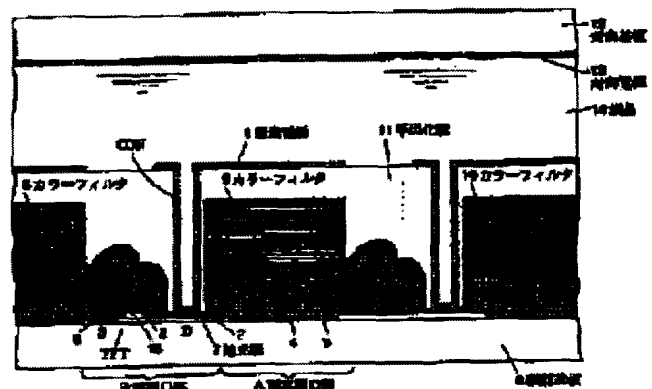
Patent number: JP8179376
Publication date: 1996-07-12
Inventor: KADOTA HISASHI; NAKAMURA SHINJI; URAZONO TAKENOBU; INOUE YUKO; KUNII MASABUMI
Applicant: SONY CORP
Classification:
- International: G02F1/1335; G02F1/136; G02F1/1368; H01L21/336; H01L29/786; G02F1/13; H01L21/02; H01L29/66; (IPC1-7): G02F1/136; G02F1/1335; H01L21/336; H01L29/786
- european:
Application number: JP19940335892 19941222
Priority number(s): JP19940335892 19941222

[Report a data error here](#)

Abstract of JP8179376

PURPOSE: To eliminate the contact defect between pixel electrode and thin-film transistor (TFT) of a color display device having an on-chip color filter structure. **CONSTITUTION:**

This color display device has a driving substrate 0 and counter substrate 12 joined via a prescribed spacing and liquid crystals 14 held in this spacing. The driving substrate 0 has pixel aperture part A which are arranged in grids and non-aperture part B which encloses each of these pixel apertures. While a pixel electrode 1 is formed in the pixel aperture part A, the TFT for driving the pixel electrode 1 is formed in the non-aperture part B. The counter substrate 12 has counter electrode 13 facing the pixel electrode 1. Color filters 8 to 10 consisting of colored films are formed on the driving substrate 0. These colored films are patterned into a grid form, arranged only in the individual pixel aperture part A and are removed from the non-aperture part B. The colored films are interposed between the lower layers to which the TFTs belong and the upper layer to which the pixel electrode 1 belong. The pixel electrode 1 is electrically connected to the corresponding TFT through the contact hole CON formed in the non-aperture part B from which the colored film has been removed.



(11)特許出願公開番号

特開平8-179376

(43)公開日 平成8年(1996)7月12日

F I

H01L 29/78

612 *l*

審査請求 未請求 請求項の数 3 FD (全 8 頁)

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川 6 丁目 7 番35号

(72)発明者 門田 久志
東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(72)発明者 中村 真治
東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(72)発明者 浦園 丈展
東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(74)代理人 弁理士 鈴木 晴敏

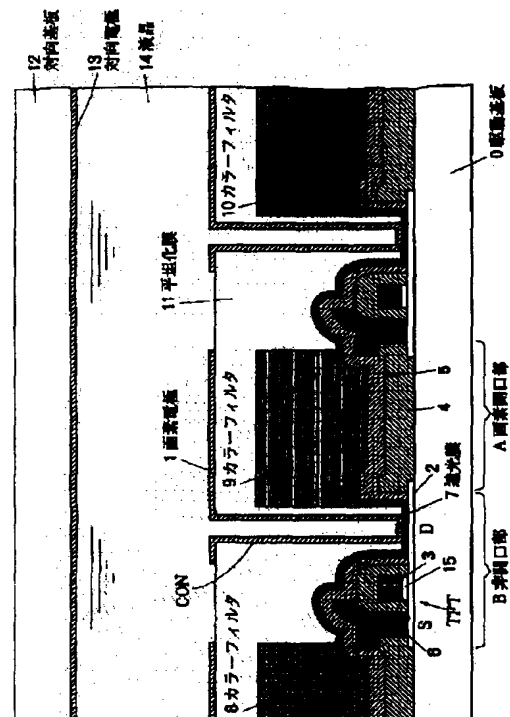
[最終頁に続く](#)

(54) 【発明の名称】 カラー表示装置

(57) 【要約】

【目的】 オンチップカラーフィルタ構造の表示装置において、画素電極と薄膜トランジスタ間のコンタクト不良を除去する。

【構成】 カラー表示装置は所定の間隙を介して接合した駆動基板 0 及び対向基板 1 2 と、該間隙に保持された液晶 1 4 とを備えている。駆動基板 0 は格子配列した画素開口部 A と、個々の画素開口部を囲む非開口部 B とを有する。画素開口部 A には画素電極 1 が形成される一方、非開口部 B には画素電極 1 を駆動する薄膜トランジスタ T F T が形成される。対向基板 1 2 は画素電極 1 に対面する対向電極 1 3 を有する。駆動基板 0 には着色膜からなるカラーフィルタ 8, 9, 1 0 が形成されている。この着色膜は格子状にパタニングされ、個々の画素開口部 A のみに配置し、非開口部 B からは除去されている。着色膜は T F T が属する下層と画素電極 1 が属する上層との間に介在し、画素電極 1 は着色膜が除去された非開口部 B に設けたコンタクトホール C O N を通じて、対応する T F T に電気接続している。



【特許請求の範囲】

【請求項 1】 所定の間隙を介して接合した一対の透明基板と該間隙に保持された電気光学物質とを備え、一方の透明基板は格子配列した画素開口部と個々の画素開口部を囲む非開口部とを有し、画素開口部には透明電極が形成される一方非開口部には該透明電極を駆動するスイッチング素子及び必要な配線が形成され、他方の透明基板は該透明電極に対面する別の透明電極を有するカラー表示装置であって、

前記一方の透明基板には着色膜からなるカラーフィルタが形成されており、該着色膜は格子状にパタニングされ個々の画素開口部のみに配置し非開口部からは除去されている事を特徴とするカラー表示装置。

【請求項 2】 前記着色膜はスイッチング素子が属する下層と透明電極が属する上層との間に介在し、該透明電極は着色膜が除去された非開口部に設けたコンタクトホールを通じて対応するスイッチング素子に電気接続している事を特徴とする請求項 1 記載のカラー表示装置。

【請求項 3】 前記一方の透明基板には非開口部に形成した薄膜トランジスタからなるスイッチング素子を被覆する様に遮光膜がパタニング形成されている事を特徴とする請求項 1 記載のカラー表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はカラー表示装置に関する。より詳しくは、画素電極を駆動するスイッチング素子が形成された駆動基板にカラーフィルタを備えた構造を有するアクティブマトリクス型のカラー表示装置に関する。

【0002】

【従来の技術】 薄膜トランジスタを画素電極駆動用のスイッチング素子として用いるカラー液晶表示装置は近年その開発が活発に行なわれている。従来、この種のカラー表示装置としては、例えば図 4 に示す様な構成が知られている。この従来例では、ガラス等からなる透明基板 0 上に透明な画素電極 1 を駆動する為の薄膜トランジスタ (TFT) が集積形成されている。TFT は半導体薄膜 2 を素子領域とし、その上にはゲート絶縁膜 15 を介してゲート電極 3 がパタニング形成されている。半導体薄膜 2 にはソース領域 S とドレイン領域 D が設けられている。かかる構成を有する TFT は第 1 層間絶縁膜 4 により被覆されている。この上には所定の形状にパタニングされた配線電極 6 が設けられており、コンタクトホールを介してソース領域 S に電気接続している。この配線電極 6 は信号線の一部を構成する。配線電極 6 は第 2 層間絶縁膜 5 により被覆されている。第 2 層間絶縁膜 5 の上には所定の形状にパタニングされた金属膜からなるブラックマスク 7 が形成されている。これら TFT、配線電極 6、ブラックマスク 7 等は平坦化膜 11 により被覆されており、その上に前述した画素電極 1 がパタニング

形成されている。なお、画素電極 1 は平坦化膜 11、第 2 層間絶縁膜 5 及び第 1 層間絶縁膜 4 に形成したコンタクトホール CON を介して TFT のドレイン領域 D に電気接続している。以下、TFT 等が集積形成された透明基板 0 を駆動基板と呼ぶ事にする。

【0003】 この駆動基板 0 に対し所定の間隙を介してガラス等からなる他方の透明基板 12 が接合している。以下、この透明基板 12 を対向基板と呼ぶ事にする。対向基板 12 の内表面には透明な対向電極 13 が形成されている。両基板 0、12 の間に液晶 14 等の電気光学物質が保持されている。対向基板 12 の内表面には画素電極 1 を RGB 三原色に着色する為カラーフィルタ 8、9、10 が形成されている。カラーフィルタ 8 は例えば赤色に着色され、カラーフィルタ 9 は緑色に着色され、カラーフィルタ 10 は青色に着色されている。

【0004】 図 4 に示す従来例では、駆動基板 0 側に画素電極 1 が形成され、対向基板 12 側にカラーフィルタ 8、9、10 が形成されている。この為、両基板を精密にアライメントする必要がある。しかしながら、画素の高精細化が進むにつれ精密なアライメントが困難になっている。そこで、図 5 に示す様に、カラーフィルタ 8、9、10 を駆動基板 0 側に形成した、所謂オンチップカラーフィルタ構造が開発されている。このオンチップカラーフィルタ構造は、例えば特開平 2 - 5 4 2 1 7 号公報、特開平 3 - 2 3 7 4 3 2 号公報、特開平 3 - 7 2 3 2 2 号公報、特開平 3 - 1 1 9 8 2 9 号公報、特開平 4 - 2 5 3 0 2 8 号公報、特開平 2 - 1 5 3 3 2 5 号公報、特開平 5 - 5 8 7 4 号公報等に開示されている。駆動基板側にカラーフィルタを設けた構造は、対向基板側にカラーフィルタを形成した構造に比べ種々の利点を有している。例えば、カラーフィルタ 8、9、10 が個々の画素電極 1 と重なっている為、両者の間に視差が生ぜず画素部の開口率を大きくとれる。又、画素電極 1 とカラーフィルタ 8、9、10 のアライメント誤差が殆どなくなるので、画素部が微細化しても高開口率を維持できる。

【0005】

【発明が解決しようとする課題】 図 6 は、図 5 に示したオンチップカラーフィルタ構造の模式的な平面図である。信号線 6a が垂直方向にパタニングされ、ゲート線 3a が水平方向にパタニングされている。信号線 6a とゲート線 3a の各交差部に TFT が形成されている。又、補助容量 Cs も形成されている。対応する画素電極 (図示せず) はコンタクトホール CON を介して TFT に接続している。赤色のカラーフィルタ 8 は垂直方向にストライプ状に形成されている。緑色のカラーフィルタ 9 もストライプ状に形成されている。図示しないが、青色のカラーフィルタもストライプ状である。この様に、従来のカラーフィルタは垂直方向に沿って連続的に形成されている為、コンタクトホール CON を覆っている。

その為、画素電極はカラーフィルタに形成したコンタクトホールCONを貫通してTFTに電気接続する(図5参照)。一般に、カラーフィルタは顔料を分散した有機感光材料からなるカラーレジストを用いて形成されている。フォトリソグラフィによりカラーレジストをストライプ状にパタニングする際、同時にコンタクトホールCONを開口している。しかしながら、カラーレジストにはある程度の粒径を有する顔料が分散されている為、解像度に不安があり微小なコンタクトホールCONを精密にエッチングする事は困難である。コンタクトホールCON内にカラーレジストの残渣が残る為、接続不良となる可能性が高い。これを防ぐ為、コンタクトホールCONの開口寸法を大きくとると、画素開口率が犠牲になる為、オンチップカラーフィルタ構造としたメリットが失われる。

【0006】

【課題を解決するための手段】上述した従来の技術の課題を解決する為以下の手段を講じた。本発明にかかるカラー表示装置は所定の間隙を介して接合した一対の透明基板と該間隙に保持された電気光学物質(例えば液晶)とを備えている。一方の透明基板(駆動基板)は格子配列した画素開口部と個々の画素開口部を囲む非開口部とを有する。画素開口部には透明電極(画素電極)が形成される一方、非開口部には画素電極を駆動するスイッチング素子(例えば薄膜トランジスタ)及び必要な配線(信号線、ゲート線等)が形成されている。他方の透明基板(対向基板)は画素電極に対面する別の透明電極(対向電極)を有する。特徴事項として、駆動基板には着色膜からなるカラーフィルタが形成されており、且つ該着色膜は格子状にパタニングされ個々の画素開口部のみに配置し非開口部からは除去されている。具体的には、前記着色膜はスイッチング素子が属する下層と画素電極が属する上層との間に介在し、該画素電極は着色膜が除去された非開口部に設けたコンタクトホールを通じて対応するスイッチング素子に電気接続している。又、駆動基板には非開口部に形成した薄膜トランジスタからなるスイッチング素子を被覆する様に遮光膜(ブラックマスク)がパタニング形成されている。

【0007】

【作用】ストライプ状にパタニングされた従来のカラーフィルタと異なり、本発明ではカラーフィルタが格子状にパタニングされている。換言すると、個々の画素開口部のみに配置し、非開口部からは除去されている。この非開口部には薄膜トランジスタ等のスイッチング素子が形成されている。画素電極はこの非開口部に設けたコンタクトホールを介して薄膜トランジスタに接続する。この際、非開口部にはカラーフィルタが存在しないので、その解像度を問題にする事なく精密なコンタクトホールを形成できる。従って、従来問題となっていた画素電極と薄膜トランジスタ間のコンタクト不良を有効に防止で

きる。

【0008】

【実施例】以下、本発明にかかるカラー表示装置の好適な実施例を詳細に説明する。図1は第1実施例の要部を示す模式的な断面図である。図1において、0はガラス等の透明絶縁材料からなる駆動基板、1は画素を構成する透明な画素電極、2はTFTの活性層となる半導体薄膜、3はゲート電極、4は第1層間絶縁膜、5は第2層間絶縁膜、6はTFTのソース領域Sに電気接続する信号線側の配線電極、7はTFTを被覆する遮光膜(ブラックマスク)、8、9、10は各々赤色、緑色、青色に着色したカラーフィルタ、11は平坦化膜、12は対向基板、13は透明導電膜からなる対向電極、14は電気光学物質として用いられる液晶である。

【0009】駆動基板0の上にTFTを構成する半導体薄膜2として、例えば多結晶シリコン薄膜が形成され、この半導体薄膜2上にゲート絶縁膜15を介してゲート電極3がパタニング形成されている。かかる構成を有するTFTはPSG等からなる第1層間絶縁膜4により被覆されている。第1層間絶縁膜4の上にはソース領域Sに接続する配線電極6がパタニング形成されている。この配線電極6は同じくPSG等からなる第2層間絶縁膜5により被覆されている。この上には遮光膜7、カラーフィルタ8、9、10、平坦化膜11、ITO等の透明導電膜からなる画素電極1がこの順序で形成されている。TFTのドレイン領域Dは金属膜からなるブラックマスク7を介して画素電極1と電気的に接続している。ドレイン領域Dと画素電極1の間に介在するブラックマスク7はバリアフィルムとして機能し、ドレイン領域Dと画素電極1との電気的な接触を良好なものとしている。一方、対向電極13が全面に形成されたガラス等からなる対向基板12は駆動基板0に対向して配置され、両基板0、12間に液晶14が保持されカラー表示装置を構成する。

【0010】以下、本発明の特徴点を説明する。駆動基板0は格子配列した画素開口部Aと個々の画素開口部Aを囲む非開口部Bとを有する。画素開口部Aには画素電極1が形成される一方、非開口部Bには画素電極1を駆動するTFT及び必要な配線が形成されている。駆動基板0には着色膜からなるカラーフィルタ8、9、10が形成されている。この着色膜は格子状にパタニングされ、個々の画素開口部Aのみに配置し、非開口部Bからは除去されている。この着色膜はTFTが属する下層と画素電極1が属する上層との間に介在し、画素電極1は着色膜が除去された非開口部Bに設けたコンタクトホールCONを通じて対応するTFTのドレイン領域Dに電気接続している。従って、コンタクトホールCONは平坦化膜11にエッチング形成されており、着色膜の解像度は何等関係しない。なお、駆動基板0には非開口部Bに形成したTFTを被覆する様にブラックマスク7がパ

タニング形成されている。以上の説明から明らかな様に、画素開口部Aは光透過性であり、非開口部Bは光不透過性である。

【0011】以上の特徴事項につき、図2を参照してさらに詳細に説明する。図示する様に、垂直方向に沿って信号線6aがパタニング形成されており、個々のTFTのソース領域に電気接続する。又、水平方向にゲート線3aが形成されている。各信号線6aとゲート線3aの交差部にTFTが形成されている。前述した様に、個々の画素開口部Aは直交配置した信号線6a及びゲート線3aにより仕切られる様に格子配列している。個々の画素開口部Aを囲む様に非開口部Bが設けられている。画素開口部Aには画素電極（図示せず）が形成される一方、非開口部BにはTFT、信号線6a、ゲート線3a等が形成されている。特徴事項として、カラーフィルタ8、9も格子状にパタニングされ、個々の画素開口部Aのみに配置し、非開口部Bからは除去されている。従って、画素電極は非開口部Bに設けたコンタクトホールCONを通じて、カラーフィルタ8、9を介する事なく、TFTのドレイン領域に電気接続可能である。なお、フォトリソグラフィのアライメントずれ等を考慮して、カラーフィルタ8、9の端部からコンタクトホールCONまでは、1~10 μ m離す事が好ましい。図6に示した従来例では、カラーフィルタ8、9がストライプ状に形成されていたのに対し、図2に示す本発明ではカラーフィルタ8、9が格子状に配列されている。垂直方向に隣接するカラーフィルタの間にはブラックマスク7が介する。

【0012】引き続き図1及び図2を参照して、本発明にかかるカラー表示装置の製造方法を詳細に説明する。30
先ず、ガラス等からなる透明基板0の上に半導体薄膜2、例えば多結晶シリコンを70~100nmの厚みで成膜する。必要ならば、Si⁺イオンを打ち込み非晶質化した後、600℃程度で加熱処理（アニール）して大粒径化を図る。あるいは、エキシマレーザ光を照射してアニールを行なっても良い。この半導体薄膜2は所定の形状にパタニングされる。この上に熱酸化法あるいはLP-CVD法等の手段を用いてゲート絶縁膜15を10~100nmの厚みで成膜する。次いで、多結晶シリコンあるいはMoSi、WSi、Al、Ta、Mo/Ta、Mo、W、Ti、Cr等の金属を成膜し、パタニングしてゲート電極3及びゲート線3aに加工する。なお、ゲート電極3として多結晶シリコンを用いた場合は低抵抗化を図る為、P等を熱拡散する工程が入る事がある。この後、ゲート電極3をマスクとしてイオンブランチンあるいはイオンドーピングにより不純物イオンを打ち込み、ソース領域S及びドレイン領域Dを形成する。多結晶シリコンからなるゲート構造を採用した場合、1000℃程度の熱アニールを加え不純物の活性化を図る。金属ゲート構造を採用した場合、耐熱性の観点から低温

アニール又はレーザアニールを加え不純物の活性化を図る。

【0013】続いて、PSG、NSG等を約600nmの厚みで常圧CVD法により成膜し第1層間絶縁膜4とする。これにソース領域Sに連通するコンタクトホールを開口する。次いで、Al等の導電性薄膜をスパッタ等により400~600nmの厚みで成膜する。これを所定の形状にパタニングし、配線電極6や信号線6aに加工する。この上に、例えばPSG等を常圧CVD法により約400nmの厚みで堆積し、第2層間絶縁膜5を形成する。この後、TFTの性能を改善する為水素化工程を行なう。この水素化工程では、例えば水素プラズマ中に駆動基板0を曝露する。あるいは、P-SiN_x膜を積層し、アニールして水素を半導体薄膜2に拡散させる。この水素化工程後、画素電極との電気接続をとる為の開口を第2層間絶縁膜5に設ける。この上に、遮光性を有する金属膜、例えばTi、Al、TiN_x、Mo、Cr、W又はこれらのシリサイドをスパッタ等の手段により50~1000nm程度の厚みで成膜し、所定の形状にパタニングしてブラックマスク7に加工する。

【0014】このブラックマスク7上に、例えば顔料を分散した有機感光材料からなるカラーレジストを0.5~3.0 μ m程度の膜厚で塗布し、露光、現像、焼成を行ない、カラーフィルタ8、9、10を形成する。この工程は赤、緑、青毎に異なったカラーレジストを用い、上述した露光、現像、焼成を3回繰り返し、RGB三原色のカラーフィルタ8、9、10を集積形成する。この際、各カラーフィルタ8、9、10を格子状にパタニングし、画素開口部Aのみに残している。従って、非開口部Bからは除去されている。

【0015】このカラーフィルタ8、9、10上に、有機透明材料からなる平坦化膜11をスピコートし、1.0~3.0 μ m程度の膜厚で成膜する。この有機透明材料としてはアクリル樹脂やポリイミド樹脂を用いる事ができる。この工程で、駆動基板0上の凹凸が平坦化され、液晶14の配向性に優れた基板構造が得られる。同時に、カラーフィルタ8、9、10中に含まれる不純物が液晶14に拡散する事を防止できる。この後、平坦化膜11にコンタクトホールCONを開口する。前述した様に、このコンタクトホールCONはカラーフィルタから外れた位置に設けるので、微細化できる。次いで、例えばITO等からなる透明導電膜を50~200nmの厚みでスパッタ等により成膜し、所定の形状にパタニングして画素電極1に加工する。以上で駆動基板0の積層構造が完成する。この後、配向膜を塗布しラビング処理後、所定の間隙を介して対向基板12と接合する。この間隙に液晶14を注入してアクティブマトリクス型のカラー表示装置が完成する。

【0016】図3は、本発明にかかるカラー表示装置の第2実施例を示す模式的な部分断面図である。基本的に

は図 1 及び 2 に示した第 1 実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、第 1 実施例がトップゲート型の TFT を採用したのに対し、本実施例はボトムゲート型の TFT を画素電極駆動用のスイッチング素子に用いている。この構造を作成する場合には以下の工程を行なう。まず、透明基板 0 上に多結晶シリコンあるいは MoSi, WSi, Al, Ta, Mo/Ta, Mo, W, Ti, Cr 等の金属を成膜し、所定の形状にパタニングしてゲート電極 3 やゲート線に加工する。このゲート電極形成後、SiO₂, SiO, N_x 等をスパッタ法又はプラズマ CVD 法等により約 100 ~ 200 nm の厚みで成膜し、ゲート絶縁膜 15 とする。場合によっては、金属ゲート電極 3 の陽極酸化膜をゲート絶縁膜に用いても良い。あるいは、陽極酸化膜と SiO₂, SiO, N_x 等を重ねてゲート絶縁膜にしても良い。続いて、多結晶シリコン、非晶質シリコン等をスパッタ法、プラズマ CVD 法等により約 30 ~ 80 nm の厚みで成膜し、活性層となる半導体薄膜 2 を設ける。必要ならば、エキシマレーザ等を照射し結晶化させる。プラズマ CVD 法を用いる場合は、ゲート絶縁膜 15 と半導体薄膜 2 を連続的に成膜できる。半導体薄膜 2 を形成した後、SiO₂ を成膜し所定の形状にパタニングして保護膜 16 とする。これをマスクとしてイオンドーピング又はイオンインプランテーションにより不純物を半導体薄膜 2 に打ち込みソース/ドレイン領域を形成する。イオン打ち込みに代え、プラズマ CVD で形成したドーパント非晶質シリコン等を用い不純物拡散を行なっても良い。この様にして完成したボトムゲート型の TFT を第 1 層間絶縁膜 4 で被覆する。これにコンタクトホールを開口した後、MoSi, W, Si, Al, Ta, Mo/Ta, Mo, W, Ti, Cr 等の金属膜を形成し、所定の形状にパタニングして配線電極 6 に加工する。次いで、常圧 CVD 法等により第 2 層間絶縁膜 5 を形成する。この層間絶縁膜 5 にも予めコンタクトホールを開口する。次いで、金属膜、例えば Ti, Al, TiN_x, Mo, Cr, W 又はこれ等の金属シリサイド等をスパッタ法により 50 ~ 1000 nm 程度の厚みで成膜し、所定の形状にパタニングしてブラックマスク 7 に加工する。このブラックマスク 7 の上にカラーフィルタ 8, 9 を格子状にパタニング形成する。この形成方法は第 1 実施例と同様である。さらに、カラーフィルタ 8, 9 を被覆する様に平坦化膜 11 を成膜する。この平坦化膜 11 を透明な有機感光材料で構成した場合、精密なフォトリソグラフィによりコンタクトホール CON を開口できる。カラーフィルタ 8, 9 を構成す

るカラーレジストと異なり、平坦化膜 11 を構成する有機透明感光材料（例えばフォトレジスト）は顔料を含有していない為解像度に何等問題はない。この後、透明導電膜を成膜した後格子状にパタニングして画素電極 1 を形成する。

【0017】

【発明の効果】以上説明した様に、本発明によれば、カラーフィルタは駆動基板上に格子状にパタニングされ、個々の画素開口部のみに配置し、非開口部からは除去されている。画素電極はカラーフィルタが除去された非開口部に設けたコンタクトホールを通じて対応するスイッチング素子に電気接続している。従って、カラーフィルタには何等コンタクトホールを開口する必要がないので、従来問題となっていた画素電極とスイッチング素子との間のコンタクト不良を改善する事ができた。

【図面の簡単な説明】

【図 1】本発明にかかるカラー表示装置の第 1 実施例を示す模式的な断面図である。

【図 2】図 1 に示した第 1 実施例の模式的な平面図である。

【図 3】本発明にかかるカラー表示装置の第 2 実施例を示す模式的な部分断面図である。

【図 4】従来のカラー表示装置の一例を示す模式的な部分断面図である。

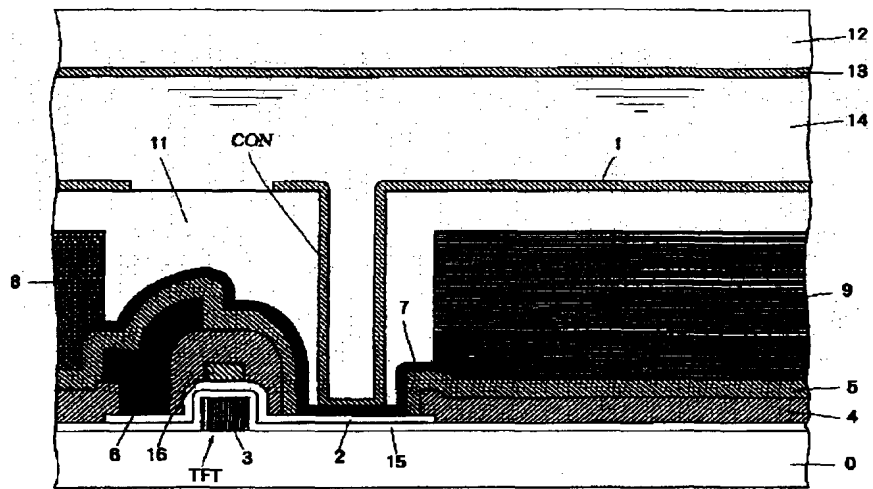
【図 5】従来のカラー表示装置の他の例を示す模式的な部分断面図である。

【図 6】図 5 に示した従来のカラー表示装置の模式的な部分平面図である。

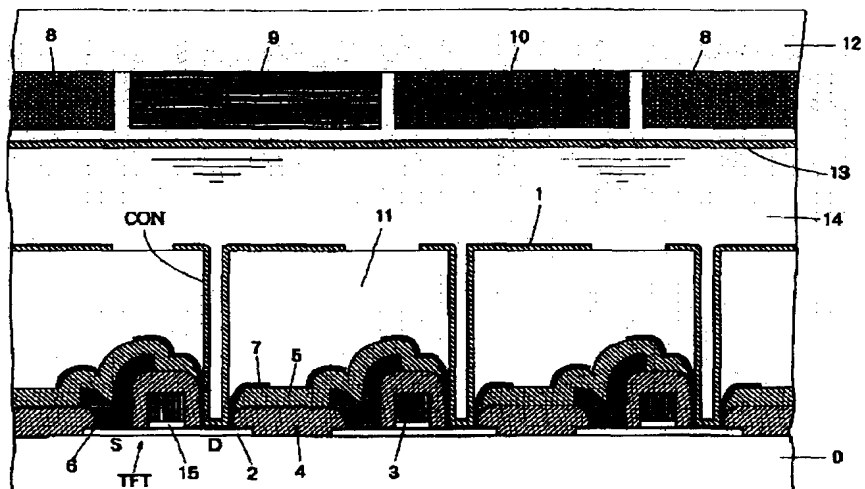
【符号の説明】

- 0 駆動基板
- 1 画素電極
- 2 半導体薄膜
- 3 ゲート電極
- 4 第 1 層間絶縁膜
- 5 第 2 層間絶縁膜
- 6 配線電極
- 7 ブラックマスク
- 8 カラーフィルタ
- 9 カラーフィルタ
- 10 カラーフィルタ
- 11 平坦化膜
- 12 対向基板
- 13 対向電極
- 14 液晶

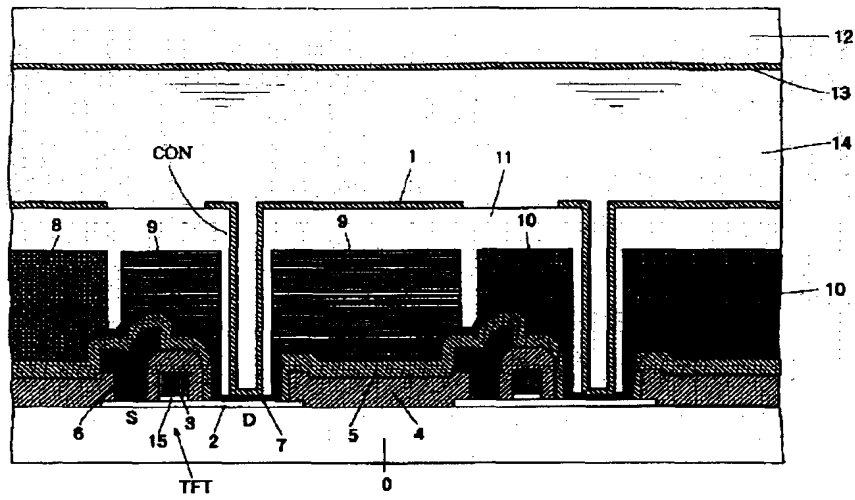
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 井上 祐子
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72)発明者 国井 正文
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内